


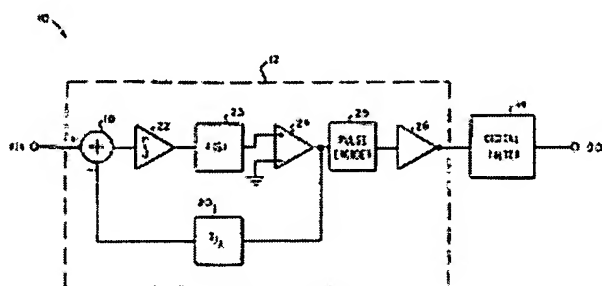


**Low noise transmission of output data from a delta-sigma modulator****Publication number:** DE4311966**Publication date:** 1993-10-21**Inventor:** SWANSON ERIC J (US); THOMPSON CHARLES D (US)**Applicant:** CRYSTAL SEMICONDUCTOR CORP (US)**Classification:****- international:** H03M1/08; H03M3/02; H03M1/08; H03M3/02; (IPC1-7): H03M1/06; H03M3/00; H03M5/02**- european:** H03M3/02**Application number:** DE19934311966 19930410**Priority number(s):** US19920870599 19920417**Also published as:** US 5528239 (A1)  
 J P6021824 (A)  
 G B2266204 (A)[Report a data error here](#)

Abstract not available for DE4311966

Abstract of corresponding document: **US5528239**

The output gates of a delta-sigma modulator can generate  $i(t)$  transient signal in the power supply lines of a delta-sigma modulator. These  $i(t)$  spikes, which would otherwise produce non-linearities which can be coupled into the frequency band of interest of the modulator, are made to be linear by using return-to-zero data encoding and by providing multi-bit outputs to the delta-sigma modulator in which the output states all have equal numbers of logic ones at the output lines for each of the output states.



Data supplied from the esp@cenet database - Worldwide



**DE 43 11 966 A 1**

[illegible]

10/50

## Beschreibung

Die vorliegende Erfindung betrifft allgemein Delta-Sigma-Modulatoren und insbesondere die rauscharme Übertragung der Ausgangsdaten eines Delta-Sigma-Modulators.

5 Delta-Sigma-Analog/Digital-Wandler bieten ein digitales Ausgangssignal mit einem hervorragenden Signal/Rausch-Verhältnis. Der typische Delta-Sigma-Analog/Digital-Wandler weist einen Delta-Sigma-Modulator auf, der ein analoges Eingangssignal empfängt und ein abgetastetes Digitalsignal erzeugt, das durch ein Digitalfilter gefiltert wird. Ein Schleifenfilter innerhalb des Delta-Sigma-Modulators formt das Quantisierungsrauschen typischerweise in ein Signal mit Hochpaß-Charakteristiks um, d. h., das Rauschen ist bei niedrigen Frequenzen  
10 sehr niedrig und bei hohen Frequenzen sehr hoch. Das Digitalfilter verfügt über Tiefpaß-Eigenschaften, um idealerweise den größten Teil des Quantisierungsrauschens bei den hohen Frequenzen zu beseitigen.

Bei praktisch ausgeführten Delta-Sigma-Modulatoren müssen alle Betriebszustände, die ein Einkoppeln einer nichtlinearen Funktion des Quantisierungsrauschens in den Analogeingang ergeben, sorgfältig vermieden werden. Solche Nichtlinearitäten können das Rauschverhalten im interessierenden Frequenzbereich verschlechtern.  
15 Beispielsweise kann die Quantisierungsrausch-Komponente bei der Frequenz  $f_s/2 - \Delta$  dargestellt werden als:

$$g(kT) = \alpha \cos[2\pi(f_s/2 - \Delta)kT] \quad (1)$$

Eine quadratische Nichtlinearität führt zu:

$$20 \quad g^2(kT) = \alpha^2 \cos^2[2\pi(f_s/2 - \Delta)kT] \quad (2)$$

$$= \alpha^2 \{ \cos[2\pi(f_s - 2\Delta)kT] + 1 \} / 2 \quad (3)$$

25 Da  $f_s = 1/T$  ist, ergibt sich:

$$g^2(kT) = \alpha^2 \{ \cos[2\pi f_s kT - 2\pi(2\Delta)kT] + 1 \} / 2 \quad (4)$$

$$= \alpha^2 \{ \cos[2\pi k - 2\pi(2\Delta)kT] + 1 \} / 2 \quad (5)$$

$$30 \quad = \alpha^2 \{ 1 - \cos[2\pi(2\Delta)kT] \} / 2 \quad (6)$$

Diese Gleichung enthält eine Komponente bei der Frequenz  $2\Delta$ . Demzufolge besteht bei Nichtlinearitäten in einem Delta-Sigma-Modulator-System das Risiko, daß diese in der Nähe von  $f_s/2$  hohe Amplituden annehmen und in das interessierende Frequenzband, bei dem das Digitalfilter keine Dämpfung mehr aufweist, eingekoppelt  
35 werden.

Deshalb liegt es auf der Hand, daß ein Verfahren zur Übertragung der Ausgangsdaten eines Delta-Sigma-Modulators, das die Einstreuung von Rauschen in das interessierende Frequenzband vermeidet, höchst wünschenswert wäre.

40 Die vorliegende Erfindung stellt deshalb ein Verfahren zur Übertragung der Ausgangsdaten eines Delta-Sigma-Modulators zur Verfügung, das kein Rauschen in das interessierende Frequenzband des Modulators Einkoppelt.

Gemäß einem Aspekt der Erfindung empfängt ein Delta-Sigma-Modulator ein analoges Eingangssignal und erzeugt ein digitales Ausgangssignal mit seriellen Daten, das dadurch gekennzeichnet ist, daß die von den  
45 digitalen Ausgangssignalen erzeugten Transientensignale unabhängig von den vorausgegangenen digitalen Ausgangssignalen sind.

Gemäß einem diesbezüglichen Aspekt der Erfindung empfängt ein Delta-Sigma-Modulator ein analoges Eingangssignal und erzeugt ein digitales Ausgangssignal mit seriellen Daten, das dadurch gekennzeichnet ist, daß das digitale Ausgangssignal in der Form eines rauschinvarianten Codes vorliegt.

50 Gemäß einem weiteren Aspekt der Erfindung besteht das digitale Ausgangssignal aus K digitalen Zuständen, die an N digitalen Ausgangsanschlüssen präsentiert werden, wobei die Summenanzahl von Übergängen mit einer ersten Polarität an den N digitalen Ausgangsanschlüssen für jeden digitalen Zustand der K digitalen Zustände dieselbe ist.

Gemäß einem anderen Ausführungsbeispiel der Erfindung weist ein Delta-Sigma-Modulator-System eine  
55 Vielzahl von Delta-Sigma-Modulatoren auf, wobei die digitalen Ausgangssignale jedes der mehreren Delta-Sigma-Modulatoren im Zeitmultiplexverfahren auf mindestens eine digitale Datenleitung geschaltet werden, und jeder Delta-Sigma-Modulator dadurch gekennzeichnet ist, daß das Ausgangssignal jedes Modulators in der Form eines rauschinvarianten Codes vorliegt.

Die Erfindung wird anhand der folgenden Beschreibung unter Bezugnahme auf die beiliegenden Zeichnungen  
60 näher erläutert. Es zeigt

Fig. 1 ein Blockschaltbild eines Ein-Bit/Zwei-Zustands-Delta-Sigma-Modulators;

Fig. 2 die Zeitverläufe bestimmter Signale, die in einer herkömmlichen Version des in Fig. 1 dargestellten Delta-Sigma-Modulators erzeugt wurden;

Fig. 3 ein Schaltbild des in Fig. 1 dargestellten Inverters 26;

65 Fig. 4 die Zeitverläufe bestimmter Signale, die in dem in Fig. 1 dargestellten Delta-Sigma-Modulator gemäß der vorliegenden Erfindung erzeugt wurden;

Fig. 5 ein Teilblockschaltbild des in Fig. 1 dargestellten Delta-Sigma-Modulators;

Fig. 6 ein Blockschaltbild eines Multiplex-Delta-Sigma-Analog/Digital-Systems;

Fig. 7 ein Blockschaltbild eines Multiplex-Delta-Sigma-Analog/Digital-Systems mit einem Multiplex-Datenbus;

Fig. 8 ein Blockschaltbild eines Multi-Bit/Multizustands-Delta-Sigma-Analog/Digital-Wandlers; und

Fig. 9 ein Teilschaltbild einer Version des in Fig. 8 dargestellten Delta-Sigma-Modulators.

Es wird darauf hingewiesen, daß zum Zwecke der Klarheit und an Stellen, wo es sinnvoll erscheint, die Bezugszeichen in den Figuren wiederholt werden, um einander entsprechende Merkmale zu kennzeichnen.

In einem Delta-Sigma-Modulator kann das Muster der Übergänge des digitalen Ausgangssignals eine Quelle für nichtlineare Vorgänge sein, die unerwünschtes Rauschen in dem interessierenden Frequenzband im Modulator erzeugen können. In Fig. 1 ist ein Delta-Sigma-Analog/Digital-Wandler 10 dargestellt, bei dem ein analoges Eingangssignal VIN in einen Delta-Sigma-Modulator 12 eingespeist wird, um einen abgetasteten Datenstrom für ein Digitalfilter 14 zu erzeugen. Das Digitalfilter 14 filtert als Tiefpaß die digitalen Daten, um ein gefiltertes serielles Ausgangssignal DOUT zu erzeugen. Innerhalb des Delta-Sigma-Modulators 12 befindet sich eine Summenschaltung 18, die die Summe der analogen Eingangsspannung und des Ausgangssignals eines Digital-/Analog-Wandlers (D/A) 20 bildet.

Das Ausgangssignal der Summenschaltung 18 wird in einen Integrator 22 eingespeist, dessen Ausgangssignal in ein Schleifenfilter 23 eingespeist wird. Das Ausgangssignal des Schleifenfilters 23 wird in den Eingang eines Komparators 24 eingespeist. Das Ausgangssignal des Komparators 24 ist ein Digitalsignal, das in den Eingang eines Impulscodierers 25 und in den Eingang des Digital-/Analog-Wandlers 20 eingespeist wird. Das Ausgangssignal des Impulscodierers 25 wird in den Eingang eines CMOS-Ausgangspuffers und -Inverters 26 (nachfolgend als Inverter 26 bezeichnet) eingespeist. Der Ausgang des Inverters 26 bildet das Ausgangssignal des Delta-Sigma-Modulators 12.

Fig. 2 zeigt eine Signalform von  $y(t)$ , nämlich das Ausgangssignal des Komparator/Impulscodierers 25, wenn der Impulscodierer "nicht auf Null zurückkehrende" (NRZ) Daten erzeugt. Der CMOS-Wandler 26 ist schematisch in Fig. 3 dargestellt. Jedesmal, wenn der Inverter 26 die Last des Kondensators  $C_L$  hochzieht, entsteht auf der Spannungsversorgungsleitung ein Stromtransientenimpuls  $i(t)$ . Diese Stromtransienten sind ebenfalls in Fig. 2 dargestellt. Bei genauer Betrachtung von Fig. 2 erkennt man, daß die Transienten  $i(t)$  datenabhängig sind, außer zu einem Zeitpunkt, bei dem zwei aufeinanderfolgende logische EINSen auftreten, wie z. B. bei dem Zeitpunkt  $8T$ . Da zum Zeitpunkt  $8T$  keine Stromspitze auftritt, wird ein nichtlinearer Transientenstrom in die VDD-Leitung der Schaltung injiziert.

Der Impulscodierer 25 ist so ausgelegt, daß er eine Impulscodierung erzeugt, die für jeden Ausgangszustand unabhängig von dem vorausgegangenen Ausgangszuständen ist. Eine derartige, von dem vorausgegangenen Ausgangszustand unabhängige Codierung, eliminiert die nichtlinearen Stromtransienten, die von der Bedingung aufeinanderfolgender EINSen in den Ausgangsdaten herrühren. Ein Typ einer derartigen, vom vorausgegangenen Zustand unabhängigen Codierung, ist die "auf Null zurückkehrende" (RZ) Codierung. Fig. 4 ist ein Zeitablaufdiagramm von  $y(t)$ , bei dem eine RZ-Codierung benutzt wird. Wie in Fig. 4 dargestellt, produzieren aufeinanderfolgende EINSen im  $y(t)$ -Signal aufeinanderfolgende  $i(t)$ -Transienten auf der VDD-Leitung. Schaltungen für die Codierung von NRZ- und RZ-Daten sind im Fachgebiet gut bekannt und deshalb nicht in den Zeichnungen dargestellt.

Fig. 5 ist ein Teilschaltbild des Delta-Sigma-Modulators 12, das die Summenschaltung 18 und den Inverter 26 darstellt. Fig. 5 verdeutlicht, wie  $i(t)$ -Stromspitzen in den Analogeingang des Delta-Sigma-Modulators 12 eingekoppeln können. Sobald sich  $i(t)$  ändert, ändert sich das von  $i(t)$  erzeugte Magnetfeld, und es wird eine Spannung nach Gleichung (7) in Serie zum Analogeingangssignal erzeugt:

$$v = M di/dt \quad (7)$$

Obwohl das  $i(t)$ -Signal in Fig. 5 so dargestellt ist, als ob es nur in das Analogeingangssignal VIN eingekoppelt würde, kann das  $i(t)$ -Signal über denselben Mechanismus auch in das im Delta-Sigma-Modulator verwendete Referenzspannungssignal eingekoppelt werden. Der Wert vom M wird durch solche Faktoren wie den Abstand der  $i(t)$ -führenden Schleife zum Eingang, der räumlichen Lage der Schleife bezogen auf den Eingang, der Größe der  $i(t)$ -Schleife, der Anbringung von Masseflächen und anderen Faktoren beeinflusst. Der Wert vom M kann aber nicht auf Null reduziert werden, und es entsteht zudem eine signifikante Einkopplung innerhalb des Verdrahtungsrahmens des Gehäuses der Integrierten Schaltung, speziell bei Delta-Sigma-Analog/Digital-Wandlern mit einem großen dynamischen Bereich. Die Erhaltung der Linearität der  $i(t)$ -Pfade ist demzufolge von beträchtlicher Bedeutung.

Fig. 6 ist ein Blockschaltbild eines Multiplex-Delta-Sigma-Analog/Digital-Wandlers. Vier Delta-Sigma-Modulatoren 30, 31, 32, und 33 liefern, wie in Fig. 6 gezeigt, digitale Daten auf den Datenbussen 34, 35, 36 bzw. 37 an ein einziges Digitalfilter 38. Die Delta-Sigma-Modulatoren 30 bis 33 ähneln dem in Fig. 1 dargestellten Delta-Sigma-Modulator 12. Das Digitalfilter 38 liefert auf der Leitung 40 ein Taktsignal an die vier Modulatoren 30 bis 33, um die vier Modulatoren 30 bis 33 zu synchronisieren. Die Datenausgangssignalbusse der Modulatoren werden im Zeitmultiplexverfahren auf das Digitalfilter 38 geschaltet; d. h. das Digitalfilter 38 tastet jeden Datenbus 34 bis 37 individuell zwischen jeder Abtastperiode ab. Das Multiplexfilter spart drei Digitalfilter in dem System ein. Die Datenbusse 34 bis 37 sind so dargestellt, als ob sie in der Breite aus n Leitungen oder Bits bestünden. Die Anzahl der Bits kann 1 oder größer sein. Der Fall bei dem n größer als 1 ist, wird nachfolgend in Verbindung mit den Fig. 8 und 9 diskutiert.

In einer ersten Ausführungsform solcher Systeme befinden sich die Modulatoren 30 bis 33 auf einem einzigen Chip in einem Gehäuse einer Integrierten Schaltung, während sich das Digitalfilter 38 in einem davon getrennten Gehäuse befindet. Da die in Fig. 3 dargestellten  $C_L$ -Lasten nicht nur die Verbindungen auf dem Chip, sondern auch die Verbindungen zwischen den Gehäusen der integrierten Schaltungen beinhalten, können diese Lasten in

der Größenordnung von 30pF, anstelle von kleiner 1pF für die Verbindungen innerhalb eines integrierten Schaltungschips, liegen. Als Folge davon, muß im allgemeinen die Abmessung der Transistoren innerhalb des Inverters 26 vergrößert werden, was wiederum viel größere  $i(t)$ -Signale erzeugt. Weiterhin kann das Multiplexverfahren dazu führen, daß ein Modulator mit dem Betrieb eines anderen Modulators interferiert.

Fig. 7 zeigt eine Modifikation des in Fig. 6 dargestellten Multiplex-Modulators. In Fig. 7 wurden die vier getrennten Datenbusse auf einen Multiplexdatenbus 46 gekoppelt, und ein Synchronisationssignal 44 des Digitalfilters 38 wird zur Synchronisation der vier Modulatoren benutzt. Die in Fig. 7 dargestellte Struktur des Multiplexdatenbusses ist sogar noch empfindlicher für Digital-Analog-Interferenzen, da die von einem Modulator erzeugten Signale direkt in die Ausgangssignale aller anderen Modulatoren eingekoppelt werden.

Fig. 8 ist ein Blockschaltbild eines Multibit/Multizustands-Delta-Sigma-Analog/Digital-Wandlers 50, der einen Multibit/Multizustands-Delta-Sigma-Modulator und ein Multibit-Digitalfilter 54 enthält. Der Delta-Sigma-Modulator 52 ist derselbe wie der Delta-Sigma-Modulator 12 von Fig. 1, mit der Ausnahme, daß  $n$  Komparatoren 56 mit dem Ausgang des Schleifenfilters 24 verbunden sind. Jeder Komparator 56 vergleicht das Ausgangssignal des Schleifenfilters 24 mit einer unterschiedlichen Referenzspannung  $VR_0, VR_1, \dots, VR_n$ , um  $n$  digitale Ausgangssignale zu erzeugen. Mit dem Ausgang eines jeden Komparators 56 verbunden ist ein Eingang zu einem Multibit-Digital/Analog-Wandler 58 und ein Eingang zu einem Multibit-Impulscodierer 57, dessen korrespondierenden Ausgänge mit den Invertiern 26 verbunden sind. Die Ausgänge liefern die jeweiligen digitalen Signale  $b_0, b_1, \dots, b_n$ . Die digitalen Signale  $b_0$  bis  $b_n$  werden in das Digitalfilter 54 eingespeist.

Fig. 9 ist ein Teilblockschaltbild einer Drei-Bit-Ausführung des in Fig. 8 gezeigten Delta-Sigma-Modulators. In Fig. 9 sind drei Inverter 26 dargestellt, die Eingangssignale  $b_0, b_1$  und  $b_2$  empfangen, um Ausgangssignale  $b_0, b_1$  bzw.  $b_2$  zu erzeugen. Das durch diese Inverter erzeugte  $i(t)$ -Signal wird, wie in Fig. 8 dargestellt, in den Eingang der Summenschaltung 18 eingekoppelt.

Nachfolgend erfolgt eine Diskussion der Ausgangszustand-Codierung, bei der die RZ-Impulscodierung in dem System eingesetzt wird.

Wenn auch die Schaltung von Fig. 8 dazu verwendet wird, drei Ausgangssignalpegel und drei Rückkopplungssignalpegel zu erzeugen, so würden Delta-Sigma-Modulatoren nach dem Stand der Technik doch nur zwei Ausgänge,  $b_0$  und  $b_1$  einsetzen, um die drei in der nachfolgenden Tabelle dargestellten Pegel zu erzeugen.

30	Rückkopplungs- und Ausgangssignalpegel	Ausgangssignalbits $b_0 \ b_1$
35	-1	0 1
	0	0 0
	1	1 0
40		

Eine Prüfung der Tabelle zeigt, daß entweder nur ein Bit oder kein Bit umspringt. Die sich ergebenden  $i(t)$ -Signale sind eine nichtlineare Funktion des Rückkopplungssignals — in diesem Falle eine Gleichrichtung.

Wenn jedoch für ein Delta-Sigma-Modulator-System mit drei Pegeln drei Ausgangsleitungen  $b_0, b_1$  und  $b_2$  gemäß nachfolgender Tabelle gewählt werden, dann werden die  $i(t)$ -Signale musterunabhängig:

50	Rückkopplungs- und Ausgangssignalpegel	Ausgangssignalbits $b_0 \ b_1 \ b_2$
	-1	0 0 1
55	0	0 1 0
	1	1 0 0

Wenn obige Tabelle zur Erzeugung der drei Logikzustände benutzt wird, dann gibt ein und nur ein Inverter bei jeder Abtastperiode einen Impuls ab, wobei ein parasitäres Einkoppeln von  $i(t)$  erzeugt wird, das unabhängig von Ausgangssignal des Modulators ist. Diese Codierungsart ist demzufolge rauschinvariant. Alle Fehler die induktiv in die Eingangs- oder Referenzspannung eingekoppelt werden, treten wiederholt bei der Abtastfrequenz auf, und überlagern sich in digitale Offsets, die leicht auszukalibrieren sind.

Die nachfolgende Tabelle zeigt eine andere Auswahl der drei Ausgangszustände mit dieser Eigenschaft einer gleichen Anzahl von Übergängen.

Rückkopplungs- und Ausgangssignalpegel	Ausgangssignalbits $b_0 b_1 b_2$
-1	0 1 1
0	1 0 1
1	1 1 0

5

10

In der obigen Tabelle wechseln bei jeder Abtastperiode zwei der drei Ausgangszustände.  
Die rauschinvariante Codierung kann auch auf einen Delta-Sigma-Modulator mit zwei Zuständen angewandt werden, indem zwei Ausgangszustände  $b_0$  und  $b_1$  gemäß nachfolgender Tabelle erzeugt werden:

15

Rückkopplungs- und Ausgangssignalpegel	Ausgangssignalbits $b_0 b_1$
0	0 1
1	1 0

20

25

Bei Verwendung einer RZ-Codierung unterstützt ein Treiberausgang jede Abtastperiode, und  $i(t)$  ist unabhängig von den Ausgangsbits.

30

Wenn im allgemeinen die Summenanzahl logischer EINSen für jeden Ausgangszustand der Ausgangsbitleitungen gleich der Summenanzahl logischer EINSen für jeden anderen Ausgangszustand auf den Ausgangsbitleitungen ist, und, wenn eine RZ-Codierung eingesetzt wird, dann sind die  $i(t)$ -Transienten unabhängig von den Daten.

Die obigen Tabellen können für einen  $n$ -Bit-Modulator verallgemeinert werden. Ein  $n$ -Bit-Modulator-Ausgangswort kann  $2^n$  Ausgangszustände darstellen. Von diesen Zuständen ist die Anzahl der Zustände mit  $K$  aktiven Bits durch  $N_K$  gegeben, wobei gilt:

35

$$N_K = \frac{n!}{k! (n-k)!} \quad (8)$$

40

Beispielsweise ist in einem System mit vier Datenleitungen die Anzahl der Ausgangszustände, die zwei EINSen enthalten, gegeben durch:

45

$$N_2 = \frac{4!}{2! (4-2)!} = \frac{4 \cdot 3 \cdot 2}{4} = 6 \quad (9)$$

50

Demzufolge können vier Leitungen bis zu 6 Zustände bei Verwendung dieser rauschinvarianten Codierung codieren. Die nachfolgende Tabelle zeigt diese sechs Muster:

55

60

65

	Rückkopplungs- und Ausgangssignalpegel	Ausgangssignalbits $b_0 b_1 b_2 b_3$
5	0	0 0 1 1
	1	0 1 0 1
10	2	0 1 1 0
	3	1 0 0 1
	4	1 0 1 0
15	5	1 1 0 0

20 Informationen bezüglich Bereichüberschreitung- und Instabilität können ebenfalls Ausgangszuständen zugeordnet werden. Beispielsweise könnte die obige Tabelle die ersten vier Pegel (0 bis 3) als Datenzustände nutzen, und die letzten zwei Pegel (4 und 5) für die Codierung der Bereichüberschreitung- und Instabilität einsetzen. Damit müssen sogar dann, wenn der Analogteil eines Modulators nicht richtig arbeitet, dessen digitale Ausgangssignalmuster nicht mit den anderen Delta-Sigma-Modulatoren, die sich den gleichen synchron gemulti-

25 plexten Datenbus teilen, interferieren.  
Des weiteren kann das Ausgangssignal des Digitalfilters ebenfalls mit diesem rauschinvarianten Code codiert werden.

Durch den Einsatz dieser rauschinvarianten Codierung wurden die  $i(t)$ -Transientensignale, die im allgemeinen nichtlineare Transienten erzeugen, die in das interessierende Frequenzband eingekoppelt werden können, 30 praktisch eliminiert. Durch die Verwendung dieser rauschinvarianten Codierung wurde ein teilweise ineffizientes Codierungsverfahren angewandt, das aber für die Reduzierung der Interferenz zwischen den digitalem Ausgangssignalen und eines Delta-Sigma-Modulators und seinen analogen Eingangssignalen optimiert ist.

#### Patentansprüche

- 35 1. Delta-Sigma-Modulator, der ein analoges Eingangssignal empfängt und ein digitales Ausgangssignal mit seriellen Daten erzeugt, **dadurch gekennzeichnet**, daß das digitale Ausgangssignal in der Form eines rauschinvarianten Codes vorliegt.
2. Delta-Sigma-Modulator nach Anspruch 1, dadurch gekennzeichnet, daß die von dem Ausgangssignal erzeugten Transientensignale unabhängig von allen vorausgegangenen digitalen Ausgangssignalen sind.
- 40 3. Delta-Sigma-Modulator nach Anspruch 2, dadurch gekennzeichnet, daß das digitale Ausgangssignal aus K digitalen Zuständen besteht, die an N digitalen Ausgangsanschlüssen präsentiert werden, wobei die Summenanzahl der N digitalen Ausgangsanschlüsse, die ein Transientensignal mit einer ersten Polarität erzeugen die gleiche für jeden der K digitalen Zustände ist.
- 45 4. Delta-Sigma-Modulator nach Anspruch 3, dadurch gekennzeichnet, daß K gleich 2 und N gleich 2 ist, und jeder der digitalen Zustände so codiert ist, daß einer der digitalen Ausgangsanschlüsse einen ersten Logikstatus und der andere von den digitalen Ausgangsanschlüssen einen zweiten Logikstatus aufweist.
5. Delta-Sigma-Modulator nach Anspruch 3, dadurch gekennzeichnet, daß K gleich 3 und N gleich 3 ist, und daß die Summenanzahl der 3 digitalen Ausgangsanschlüsse, die einen ersten Logikzustand aufweisen, die gleiche für jeden der 3 digitalen Zustände ist.
- 50 6. Delta-Sigma-Modulator-System mit mehreren Delta-Sigma-Modulatoren nach Anspruch 1, dadurch gekennzeichnet, daß die digitalen Ausgangssignale von jedem der mehreren Delta-Sigma-Modulatoren auf mindestens eine digitale Datenleitung im Zeitmultiplex gegeben werden.
7. Delta-Sigma-Modulator nach Anspruch 1, dadurch gekennzeichnet, daß der digitale Ausgang aus einer 55 einzigen Leitung mit Daten besteht, die mit einem "auf Null zurückkehrenden" RZ-Code codiert sind.
8. Delta-Sigma-Modulator, der ein analoges Eingangssignal empfängt und ein digitales Ausgangssignal mit seriellen Daten erzeugt, dadurch gekennzeichnet, daß das digitale Ausgangssignal in der Form von Daten vorliegt, die mit einem "auf Null zurückkehrenden" RZ-Code codiert sind.
9. Delta-Sigma-Modulator nach Anspruch 8, dadurch gekennzeichnet, daß das digitale Ausgangssignal aus K digitalen Zuständen besteht, die an N digitalen Ausgangsanschlüssen präsentiert werden, wobei die 60 Summenanzahl der N digitalen Ausgangsanschlüsse, die ein Transientensignal mit einer ersten Polarität aufweisen, die gleiche für jeden der K digitalen Zustände ist.
10. Delta-Sigma-Modulator nach Anspruch 9, dadurch gekennzeichnet, daß K gleich 2 und N gleich 2 ist, und jeder der digitalen Zustände so codiert wird, daß einer der digitalen Ausgangsanschlüsse einen ersten Logikstatus und der andere von den digitalen Ausgangsanschlüssen einen zweiten Logikstatus aufweist.
- 65 11. Delta-Sigma-Modulator nach Anspruch 9, dadurch gekennzeichnet, daß K gleich 3 und N gleich 3 ist, und daß die Summenanzahl der 3 digitalen Ausgangsanschlüsse, die einen ersten Logikzustand aufweisen, die gleiche für jeden der 3 digitalen Zustände ist.

12. Delta-Sigma-Modulator-System mit mehreren Delta-Sigma-Modulatoren nach Anspruch 8, dadurch gekennzeichnet, daß die digitalen Ausgangssignale von jedem der mehreren Delta-Sigma-Modulatoren im Zeitmultiplexverfahren auf mindestens eine digitale Datenleitung geschaltet werden.

13. Delta-Sigma-Analog/Digital-Wandler mit einem Delta-Sigma-Modulator, der ein analoges Eingangssignal empfängt und ein digitales Ausgangssignal mit seriellen Daten an ein Digitalfilter liefert, das das digitale Ausgangssignal filtert, um ein gefiltertes digitales Ausgangssignal, dadurch gekennzeichnet, daß das gefilterte digitale Ausgangssignal in der Form eines rauschinvarianten Codes vorliegt.

Hierzu 5 Seite(n) Zeichnungen

10

15

20

25

30

35

40

45

50

55

60

65



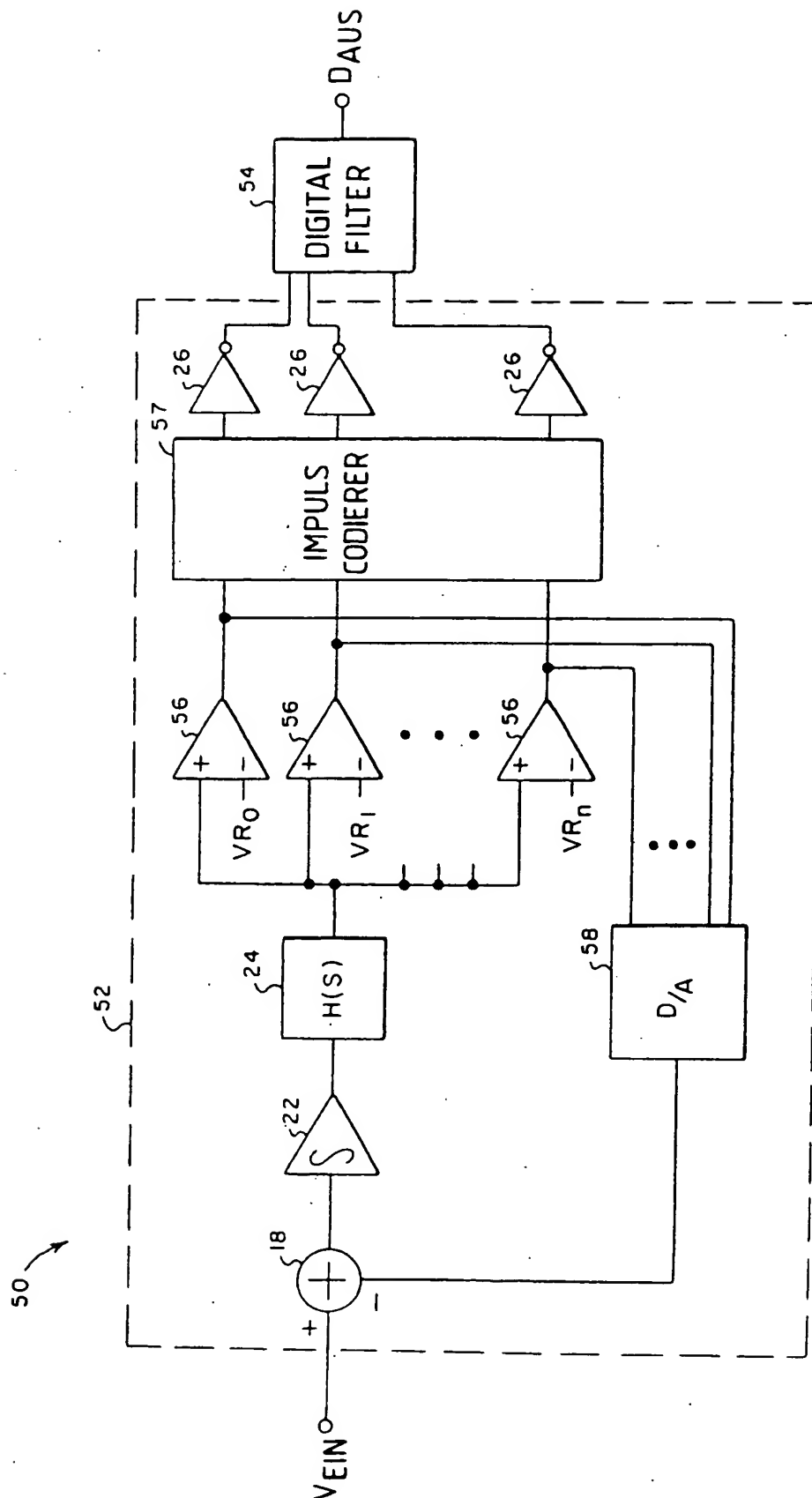


FIG. 8

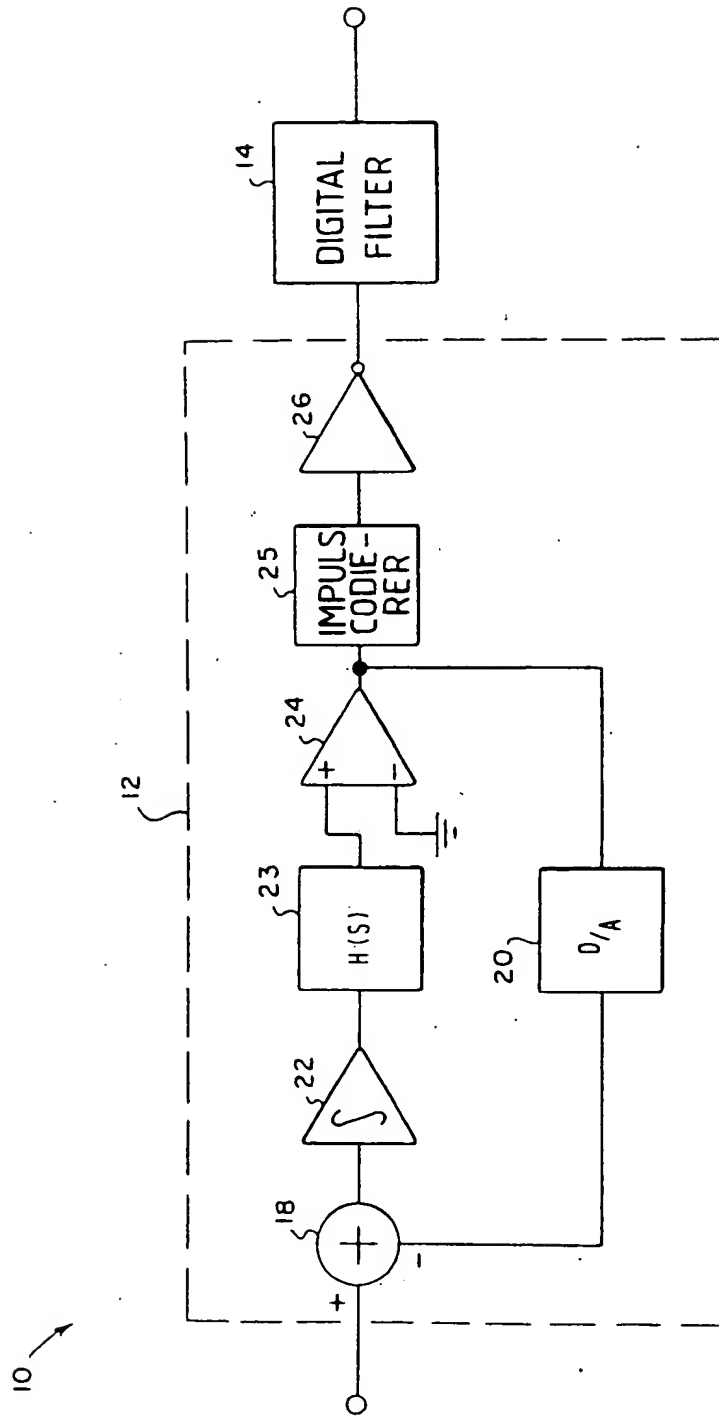


FIG. 1

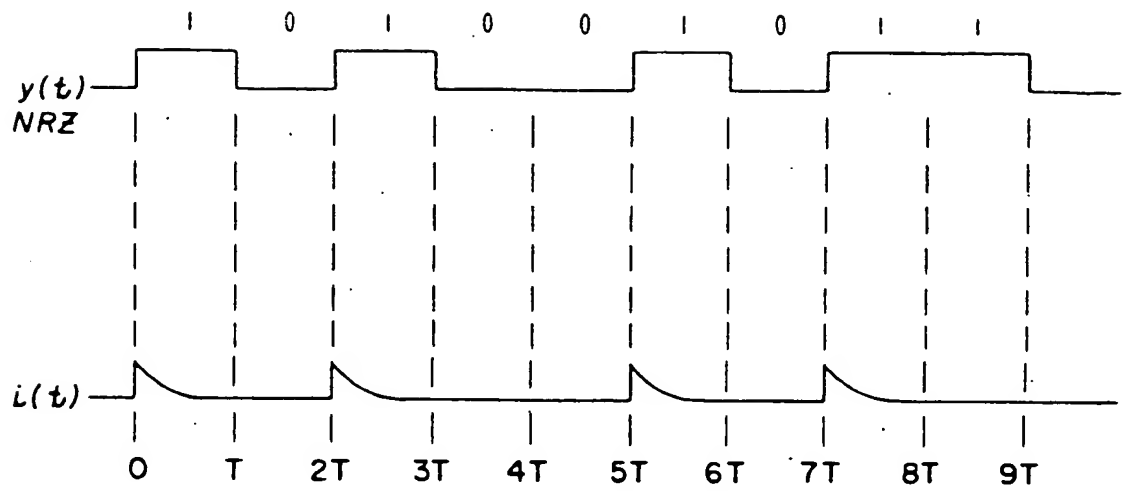


FIG. 2

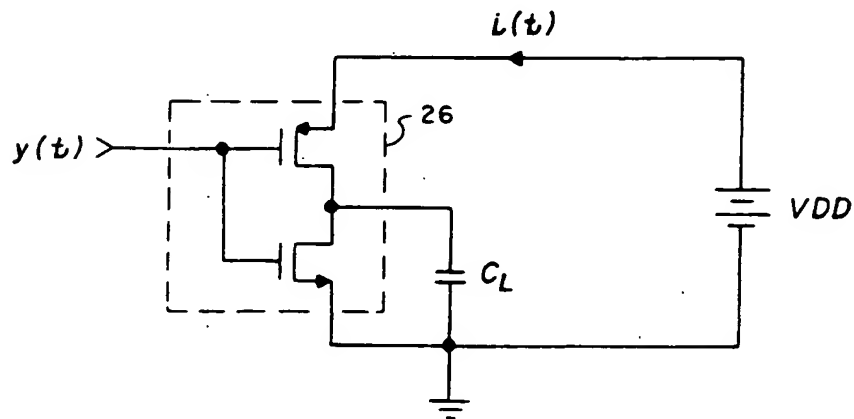


FIG. 3

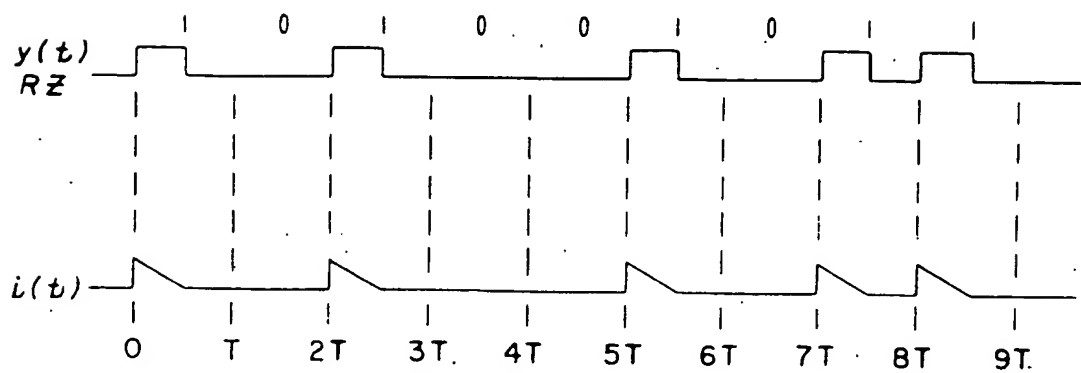


FIG. 4

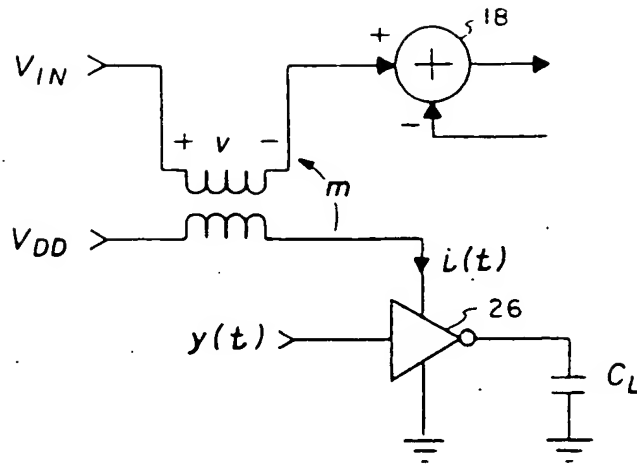


FIG. 5

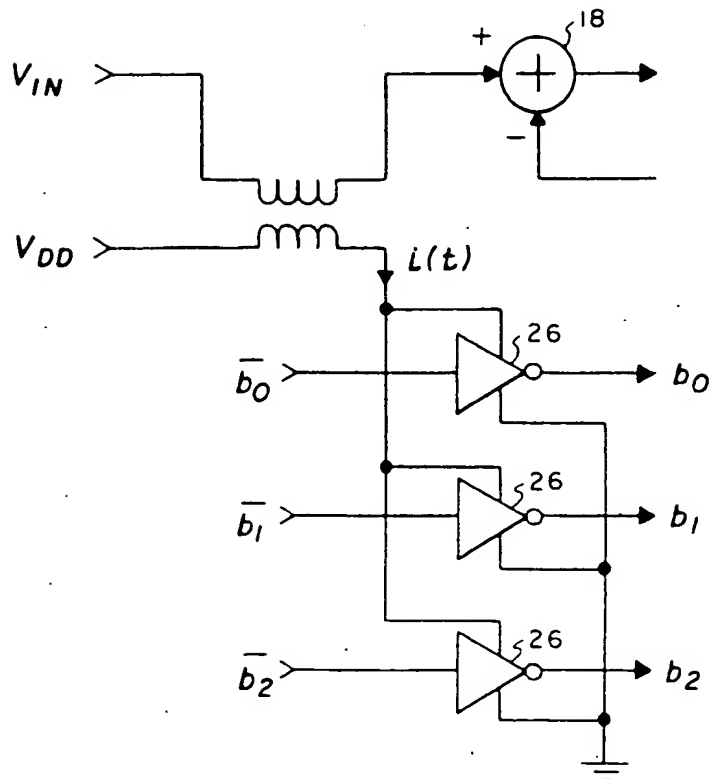


FIG 9

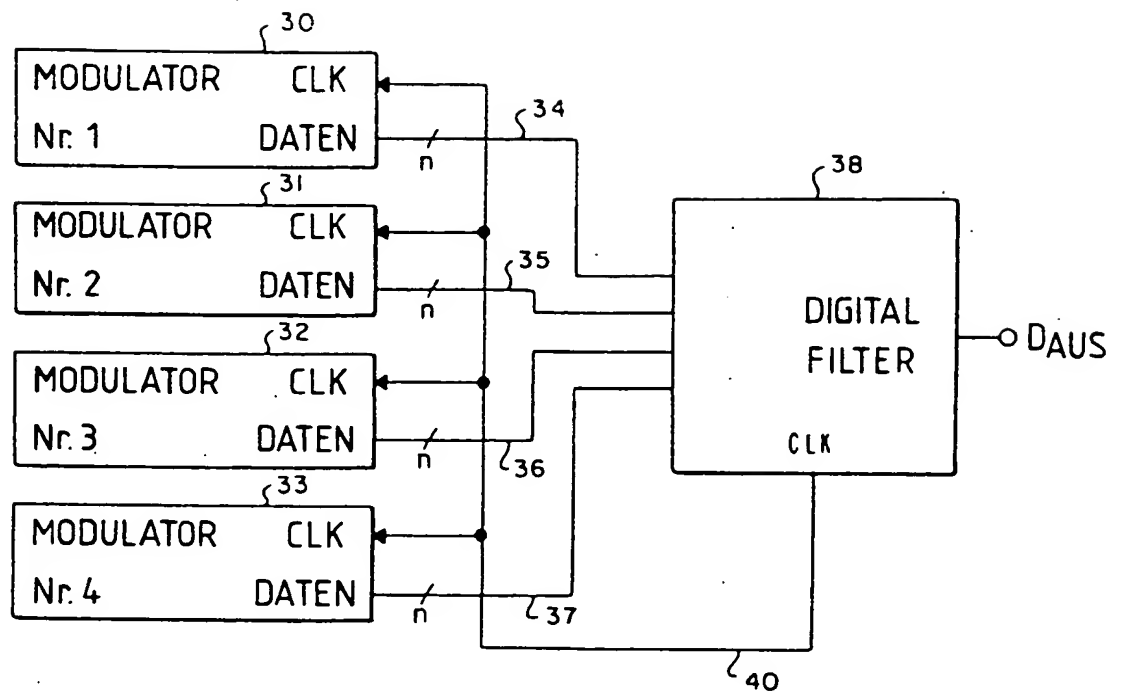


FIG. 6

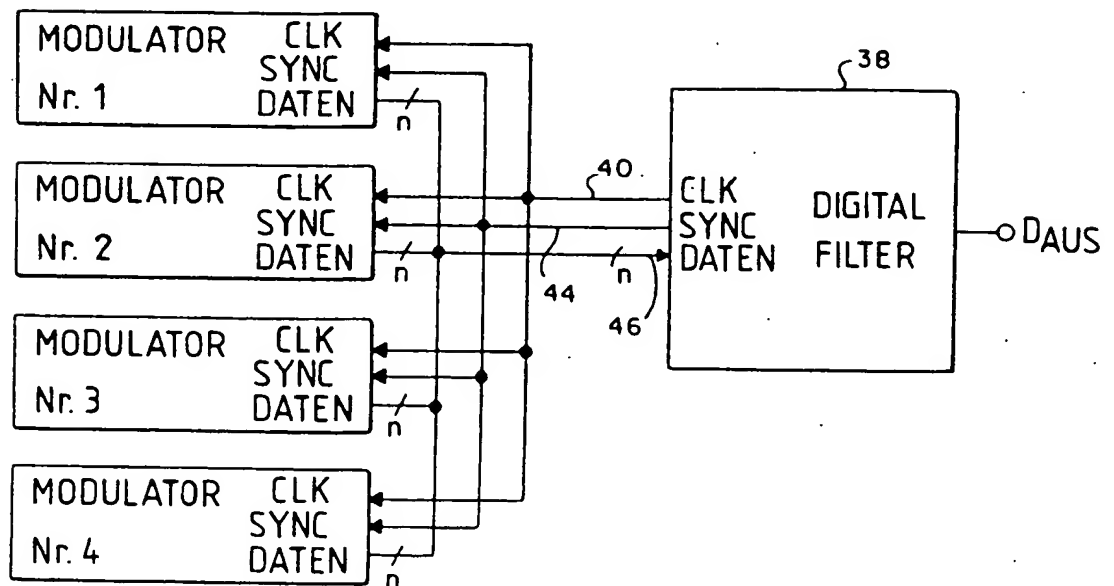


FIG. 7

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☒ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**